

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-177838

(43)Date of publication of application : 30.06.1998

---

(51)Int.CI.

H01J 9/02  
H01J 1/30  
H01J 31/12

---

(21)Application number : 09-361919

(71)Applicant : MOTOROLA INC

(22)Date of filing : 10.12.1997

(72)Inventor : SONG JOHN  
NILSSON THOMAS

---

(30)Priority

Priority number : 96 767246 Priority date : 13.12.1996 Priority country : US

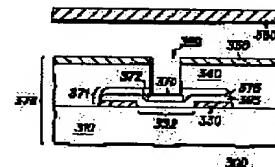
---

## (54) MANUFACTURE OF FIELD EMISSION ELEMENT WITH REDUCED MATRIX LEAK

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method for field emission element capable of preventing the formation of defects within a dielectric layer.

SOLUTION: The manufacturing method for a diamond like carbon field emission element 300 contains a process for forming a ballast layer on line conductors 330, a process for forming a surface emitter 370 made of diamond like carbon on the ballast layer so as to position to a central well region 332 in the line conductors 330, a process for forming an electric field shaper layer on the ballast layer and the surface emitter, a process for patterning on the ballast layer and electric field shaper layer to form the electric field shaper layer having a ballast 365 and facing edges, and for prescribing a smooth continuous surface 371 together with the facing edges of the line conductor, a process for accumulating a blanket dielectric layer, and a process for forming an emission well 360 on the central well region.



---

### LEGAL STATUS

[Date of request for examination] 13.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】行一列リーグの減少した電界放出素子(300, 800)の製造方法であって:主面を有する支持基板(310, 810)を設ける段階;前記支持基板(310, 810)の主面上に導電層を形成する段階;前記導電層にバーニングを行い、中央ウエル領域(332, 832)および対向エッジを有する列導体(330, 830)を規定する段階;前記列導体(330, 830)上にバラスト層(364)を形成する段階;前記バラスト層(364)上に電界放出物質の層(369)を形成する段階;前記電界放出物質の層(369)にバーニングを行い、前記列導体(330, 830)の前記中央ウエル領域(332, 832)に位置合わせした対向エッジを有する表面エミッタ(370, 870)を規定する段階;前記表面エミッタ(370, 870)および前記バラスト層(364)上に電界シェーバ層(374)を形成する段階;第1エッチャントを用いて前記電界シェーバ層(374)にバーニングを行い、対向エッジを有する電界シェーバ層(377)を規定する段階;第2エッチャントを用いて前記バラスト層(364)にバーニングを行い、前記電界シェーバ層(377)の対向エッジと実質的に同じ広がりを有し、かつ前記列導体(330, 830)の対向エッジと実質的に同じ広がりの対向エッジを有するバラスト(365, 865)を規定する段階;前記列導体(330, 830)の対向エッジ、前記バラスト(365, 865)の対向エッジ、および前記電界シェーバ層(377)の対向エッジにより、対向する滑らかな連続面(371, 871)を形成する段階;前記電界シェーバ層(377)および前記対向する滑らかな連続面(371, 871)上に誘電体層(341)を形成する段階;前記誘電体層(341)上に行導体(350, 850)を形成する段階;前記誘電体層(341)および前記電界シェーバ層(377)を選択的にエッチングして電界シェーバ(375, 875)を規定し、前記列導体(330, 830)の前記中央ウエル領域(332, 832)の一部に位置合わせした放出ウエル(360, 860)を規定する段階;および前記行導体(350, 850)から離れて位置するアノード(380, 880)を設け、その間に中間空間領域を規定する段階;から成ることを特徴とする方法。

【請求項2】行一列リーグの低減を図った電界放出素子(310, 810)の製造方法であって:主面を有する支持基板(310, 810)を用意する段階;前記支持基板(310, 810)の主面上に導電層を形成する段階;前記導電層にバーニングを行い、中央ウエル領域(332, 832)および対向エッジを有する列導体(330, 830)を規定する段階;前記列導体(330, 830)上にバラスト層(364)を形成する段階;前記バラスト層(364)上に電界放出物質の層

(369)を形成する段階;前記電界放出物質の層(369)にバーニングを行い、前記列導体(330, 830)の前記中央ウエル領域(332, 832)に位置合わせした対向エッジを有する表面エミッタ(370, 870)を規定する段階;前記表面エミッタ(370, 870)および前記バラスト層(364)上に電界シェーバ層(374)を形成する段階;第1エッチャントを用いて前記電界シェーバ層(374)にバーニングを行い、対向エッジを有する電界シェーバ層(377)を規定する段階;第2エッチャントを用いて前記バラスト層(364)にバーニングを行い、前記電界シェーバ層(377)の対向エッジと実質的に同じ広がりを有し、かつ前記列導体(330, 830)の対向エッジと実質的に同じ広がりの対向エッジを有するバラスト(365, 865)を規定し、前記電界シェーバ層(374)および前記バラスト層(364)を、前記第2エッチャントに対するエッチング速度がほぼ等しい物質で作る段階;前記列導体(330, 830)の対向エッジ、前記バラスト(365, 865)の対向エッジ、および前記電界シェーバ層(377)の対向エッジにより、対向する滑らかな連続面(371, 871)を形成する段階;前記電界シェーバ層(377)上および前記対向する滑らかな連続層(371, 871)上に誘電体層(341)を形成する段階;前記誘電体層(341)上に行導体(350, 850)を形成する段階;前記誘電体層(341)および前記電界シェーバ層(377)を選択的にエッチングして電界シェーバ(375, 875)を規定し、前記列導体(330, 830)の前記中央ウエル領域(332, 832)の一部に位置合わせした放出ウエル(360, 860)を規定する段階;および前記行導体(350, 850)から離れて位置するアノード(380, 880)を設け、その間に中間空間領域を規定する段階;から成ることを特徴とする方法。

【請求項3】行一列リーグの減少を図った電界放出素子(300, 800)であって:主面を有する支持基板(310, 810);前記支持基板(310, 810)の主面上に形成され、中央ウエル領域(332, 832)および対向エッジを有する列導体(330, 830);放出構造(320, 820)であって:前記列導体(330, 830)上に配され、該列導体(330, 830)の対向エッジと同じ広がりの対向エッジを有するバラスト(365, 865);前記列導体(330, 830)の前記中央ウエル領域(332, 832)に位置合わせされ、前記バラスト(365, 865)の対向エッジから離れて位置する対向エッジを有する表面エミッタ(370, 870);および前記表面エミッタ(370, 870)を包囲しかつ前記バラスト(365, 865)上に配され、対向エッジを有する電界シェーバ(375, 875)であって、前記対向エッジが前記バラスト(365, 865)の対向エッジと同じ広がりを

有する電界シェーバ (375, 875) を含む放出構造 (320, 820) ; 前記電界シェーバ (375, 875) 上、ならびに前記列導体 (330, 830) の対向エッジ、前記バラスト (365, 865) の対向エッジ、および前記電界シェーバ (375, 875) の対向エッジ上に配された誘電体層 (340, 840) ; 前記誘電体層 (340, 840) 上に形成された行導体 (350, 850) ; 前記行導体 (350, 850) 、前記誘電体層 (340, 840) , 前記電界シェーバ (375, 875) , および前記表面エミッタ (370, 870) によって規定され、前記列導体 (330, 830) の前記中央ウエル領域 (332, 832) の一部に位置合わせした放出ウエル (360, 860) ; および前記行導体 (350, 850) から離間され、その間に中間空間領域を規定するアノード (380, 880) ; から成り、

前記電界シェーバ (375, 875) の対向エッジ、前記バラスト (365, 865) の対向エッジ、および前記列導体 (330, 830) の対向エッジは、前記誘電体層 (340, 840) に整合する滑らかな連続面 (371, 871) を規定し、前記誘電体層 (340, 840) 内の前記滑らかな連続面 (371, 871) におけるボイドが実質的に排除されることを特徴とする電界放出素子。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、電界放出素子 (field emission device) に関し、更に特定すれば、ダイアモンド状炭素表面エミッタ (diamond-like-carbon surface emitter) を含む、三極電界放出素子 (triode field emission device) に関するものである。

##### 【0002】

【従来の技術】 電界放出素子は当技術では機知である。1つの構成では、電界放出素子はダイオードであり、2つの電極、カソードおよびアノードを含む。他の一般的な構成では、電界放出素子はトライオード (triode) であり、3つの電極、カソード、ゲート電極、およびアノードを含む。図1に示すのは、トライオード構成を有する従来技術の電界放出素子 (FED) 100である。FED 100は、ゲート抽出電極 150 (行としても知られている) を含み、誘電体層 140 によって、導電層 130 (列としても知られている) から離間されている。導電層 130 は支持基板 110 上に形成されている。誘電体層 140 は、ゲート抽出電極 150 および導電層 130 間における電流の形成を防止する。ゲート抽出電極 150 から離間されて、導電性物質で作られたアノード 180 がある。誘電体層 140 は、エミッタ・ウエル 160 を規定する側面を有する。電子エミッタ 170 がエミッタ・ウエル 160 内に配置されており、スピント・チップ (Spindl tip) を含む場合もある。FED 100の動

作の間、そして一般的なトライオードの動作では典型的であるが、ゲート抽出電極 150、導電層 130、およびアノード 180 に適切な電圧が印加され、電子エミッタ 170 から電子を抽出し、電子をアノードの方向に向かわせる。FED 100 の不良機構の1つに、誘電体層 140 内の欠陥 145 の存在がある。欠陥 145 は、ゲート抽出電極 150 および導電層 130 間に延びるクラック (crack) またはボイド (void) を含むことがあり、そのためこれら間に導通経路が形成され、所望の電気的絶縁が阻害される。電圧源 185 が、ゲート抽出電極 150 および導電層 130 間に電位差を供給する場合、電流は、この回路内に直列に配置される電流計 190 によって測定されるが、回路には望ましくない欠陥 145 が含まれる。同様の欠陥が、ダイアモンド状炭素膜 (diamond-like carbon film) のような放出膜 (emissive film) を採用したトライオード電界放出素子の開発においても観察された。

##### 【0003】

【発明が解決しようとする課題】 したがって、誘電体層内の欠陥形成を防止し、行一列間の電流漏れ (リーク) を低減する、電界放出膜を採用した電界放出素子の製造方法が必要とされている。

##### 【0004】

【課題を解決するための手段】 本発明によるダイアモンド状炭素電界放出素子の製造方法は、(i) 列導体上にバラスト層を形成する段階、(ii) バラスト層上に、列導体の中央ウエル領域に位置を合わせるように (in registration with)、ダイアモンド状炭素で作った表面エミッタを形成する段階、(iii) バラスト層および表面エミッタ上に、電界シェーバ層 (374) を形成する段階、(iv) バラスト層および電界シェーバ層にバターニングを行い、バラストおよび対向エッジを有する電界シェーバ層を形成し、列導体の対向エッジと共に、滑らかな連続面を規定する段階、(v) ブランケット誘電体層を堆積する段階、および (vi) 列導体の中央ウエル領域上に放出ウエルを形成する段階を含む。

##### 【0005】

【発明の実施の形態】 まず図2を参照すると、電界放出素子 200 の断面図が示されている。電界放出素子 200 はカソード 276 を含む。カソード 276 は支持基板 210 を含み、支持基板 210 は、硼珪酸ガラス (borosilicate glass) のようなガラスまたはシリコンで作ったものでよい。支持基板 210 の主面上には、列導体 230 が形成されている。列導体 230 は、アルミニウムまたはモリブデンのような、適切な導電性物質で作られる。列導体 230 の上に放出構造 220 が形成されている。放出構造 220 は3つの層、即ち、列導体 230 上に堆積されドープ・アモルファス・シリコンのような抵抗性物質を含むバラスト (ballast) 265、バラスト 265 上に形成され、例えば、ダイアモンド状炭素、立体

空化硼素(cubic boron nitride)、または空化アルミニウムのような適切な電界放出物質で作られた表面エミッタ270、および表面エミッタ270の一部の上に配されたアモルファス・シリコンのような抵抗性物質で作られた電界シェーバ(field shaper)275を含む。誘電体層240が電界シェーバ275上に形成され、放出ウエル260を規定する側面を含む。誘電体層240は、二酸化シリコンのような適切な誘電体物質で作られる。表面エミッタ270は、放出ウエル260内に配置される放出面を規定する。誘電体層240上に行導体250が形成され、表面エミッタ270からは離間されている。行導体250から離間されてアノード280が形成されている。電界放出素子200の動作は、表面エミッタ270から電子放出を生成し、抽出した電子を適切な加速度でアノード280に向けて案内するのに適した電位を、列導体230、行導体250、およびアノード280に印加することを含む。電界シェーバ275は、表面エミッタ270の領域における電界の整形に供する。バラスト265は、表面エミッタ270および列導体230間に適切な電気抵抗を与え、表面エミッタ270およびアノード280間にアーケ発生を防止する。

【0006】次に図3を参照すると、放出構造220のエッジを含む、電界放出素子200の部分拡大図が示されている。放出構造220のエッジには、誘電体層240および表面エミッタ270のエッジ272によって、ボイド295が規定されている。以下で一層詳しく説明するが、ボイド295は、放出構造220の形成の間、電界放出物質に過度なエッティングを行った結果発生することが観察されている。ボイド295の結果として、誘電体層240内に応力が生じ、その結果内部にクラック245が形成される。クラック245は、行導体250および列導体230間に電流漏洩経路を規定し、その結果、電界放出素子200の動作の間、望ましくない行-列電流漏れが発生する。行導体250および列導体230間に電位源285によって電位差が印加されると、クラック245によって完成する回路内にある電流計290によって電流が測定される。ボイド295の形成について次に説明する。

【0007】ここで図4ないし図8を参照すると、電界放出素子200(図2および図3)の放出構造220の形成において実現される複数の構造254、255、256、257、258の断面図が示されている。まず、バラスト層264を列導体230上に堆積する。バラスト層264は、約 $1.0 \times 10^{-11} \text{ cm}^3$ の濃度で硼素をドープしたアモルファス・シリコン層を含む。その後、ダイアモンド状炭素層269をバラスト層264の上に堆積する。次いで、アモルファス・シリコンの電界シェーバ層274を層269上に形成する。次いで、層264、269、274にバーニングを行い、列導体230の上に放出構造220を設定する。これは、まず最初に、電

界シェーバ層274上にフォトレジストのバターン層221を形成して図4に示す構造254を実現し、次いで、例えば、SF<sub>6</sub>、化学薬品を用いて電界シェーバ層274を貫通するエッティングを行い、電界シェーバ層277を規定し、図5に示す構造255を実現し、その後例えば酸素プラズマを用いて、層269を貫通するエッティングを行って図6に示す構造256を生成し、最後にバラスト層264を貫通するエッティングを行うことにより、バラスト265を形成し、図7に示す構造257を実現する。用いるフォトレジストは、一般的な種類(common variety)のHoechst Celaneseによって供給される製品番号AZ5214であり、これに適したエッチャントは酸素プラズマを含む。先に示したように、酸素プラズマはダイアモンド状炭素に対するエッチャントでもある。しかしながら、酸素プラズマによるダイアモンド状炭素のエッティング速度は、フォトレジストのそれよりも大幅に高い。したがって、図6に示すように、列導体230の外側に位置するダイアモンド状炭素の部分は、フォトレジストが除去されるよりもかなり前に除去される。バラスト層264をエッティングした後、酸素プラズマを用いてフォトレジスト層221を除去し、図8に示す構造258を生成する。酸素プラズマは同時に電界放出物質の露出したエッジも攻撃するので、図8に示すような表面エミッタ270のアンダーカット・エッジ(undercut edge)272が形成される。誘電体物質を構造258上に堆積する場合、放出構造220の一定でないエッジに整合(conform)させることは不可能であり、そのために図3に示したようなボイド295が形成される。

【0008】次に図9を参照すると、図2を参照して説明したように製造された電界放出素子が有する行-列間電流漏れを表すグラフ400、410が示されている。電流測定は、図3を参照して説明したように行われ、9個の放出ウエルを有する單一画素、即ち、1つの行-列交差点にアドレスし、9個の放出ウエルの各々は、直徑約4マイクロメートル深さ1マイクロメートルであった。グラフ400、410は、電界放出素子の画素アレイ内の異なる画素において行った測定から成る。グラフ410が示す漏れ電流は非常に大きく、一般的に用いられる値である70ボルトの行-列電位差に対して約20マイクロアンペアの値を有する。このレベルの漏れ電流は容認できるものではない。グラフ400で表されるサイトにおける漏れ電流は、約30ボルトの電圧における測定可能な漏れを示す。

【0009】次に図10ないし図15を参照すると、本発明による、行-列電流漏れの低減を図った電界放出素子3000(図15)を製造する方法の種々の工程を実行することによって実現される、複数の構造354、355、356、357、358(図10ないし図14)の断面図が示されている。構造354は、硼珪酸ガラスのようなガラスまたはシリコンで作られた支持基板310

を含む。支持基板310の主面上に、列導体330を形成し、これにバターニングを行って中央ウエル領域332を設ける。列導体330上にバラスト層364を堆積する。この特定実施例では、バラスト層364は、100Ωcmないし10,000Ωcmの範囲内の抵抗率を与えるようドープしたアモルファス・シリコン層を含む。これを得るには、約30keVにおける硼素の注入により、10<sup>19</sup>ないし10<sup>20</sup>cm<sup>-3</sup>の範囲で好ましくは10<sup>20</sup>cm<sup>-3</sup>の濃度にアモルファス・シリコンを硼素でドープすればよい。バラスト層364を形成するには、前述の範囲内の抵抗率を有する他の適切なバラスト物質を用いてもよい。その後、約1000オングストロームの厚さを有するダイアモンド状炭素層369を、バラスト層364上に形成する。電界放出炭素に基づく物質を含む他の電界放出物質を用いてもよい。ダイアモンド状炭素を含む炭素に基づく物質の電界放出膜を形成する方法は、当技術では既知である。例えば、シクロエキサン、n-ヘキサン、およびメタンのようなガス源を用いて、プラズマ・エンハンス化学蒸着によって、アモルファス水素化炭素膜(amorphous hydrogenated carbon film)を堆積することができる。かかる方法の1つが、Wang et al.による“Lithography Using Electron Beam Induced Etching of a Carbon Film”, J. Vac. Sci. Technol. B, Sept/Oct 1995, pp. 1984-1987に記載されている。ダイアモンド膜の堆積については、1995年5月30日に特許された、Dreifus et al.による“Microelectronic Structure Having an Array of Diamond Structures on a Nondiamond Substrate and Associated Fabrication Methods”と題する米国特許番号第5,420,443号に記載されている。更に、ダイアモンド状炭素膜の堆積については、Seth et al.による“Lithographic Application of Diamond-like Carbon Films”, Thin Solid Films, 1995, pp. 92-95に記載されている。層369の形成後、列導体330の中央ウエル領域332に位置合わせした、厚さ約1,000オングストロームのバターン・ハードマスク368を層369上に形成することにより、図10の構造354を実現する。酸素プラズマを用いてダイアモンド状炭素をドライ・エッティングを行うことにより、中央ウエル領域332にはほぼ位置合わせした表面エミッタ370を形成し、図11に示す構造355を実現する。図12の構造356を実現するためには、まずハードマスク368を構造355から除去する(図11)。その後、厚さ約2,000オングストロームのアモルファス・シリコンの電界シェーバ層374を、表面エミッタ370およびバラスト層364上に形成する。電界シェーバ層374およびバラスト層364にエッティングを行うが、列導体330上の部分を全体的に残す。これを行うには、電界シェーバ層374上にフォトレジストのバターン層321を堆積し、SF<sub>6</sub>または塩素/酸素プラズマのような適切なエッチャントを用

いて層374、364を貫通するエッティングを行い、図13に示す構造357を実現する。バラスト層364および電界シェーバ層374は、前述のエッチャントに関してはほぼ等しいエッティング速度を有するので、列導体330の対向するエッジ、バラスト365の対向するエッジ、および電界シェーバ層377の対向する(opposite)エッジは、対向する滑らかな連続面371を規定する。その後、酸素プラズマを用いて、フォトレジスト層321を除去する。この工程の間、エッジ372を含む表面エミッタ370は、エッチャントによる攻撃から保護されている。この構成は、表面371におけるエッティングの不均一性を解消する。図14に示すように、後に誘電体層341を堆積する場合、表面371に容易に整合するので、クラックを形成するポイドの形成を防止する。誘電体層341は、約1マイクロメートルの厚さに堆積する。次に、誘電体層341上に、例えば、モリブデンで作った導電層351を堆積することにより、構造358を実現する。その後、図15に示すように、導電層351、誘電体層341、および電界シェーバ層377の部分を選択的にエッティングすることにより、放出ウエル360を形成し、こうして行導体350、誘電体層340、および電界シェーバ375を形成する。放出ウエル360は、全体的に中央ウエル領域332を覆い、放出ウエル360の底面を規定する表面エミッタ370と位置合わせされている。放出構造320は、電界シェーバ375、表面エミッタ370、およびバラスト365で構成されている。FED300は、更に、カソード376の行導体350から離間されているアノード380を含む。FED300の動作は、列導体330および行導体350に適切な電位を印加し(図示しない電位源を用いることによって)、表面エミッタ370から電子を抽出し、アノードに高い正電位を印加して、抽出した電子をアノード380に向けて加速することを含む。適切な電位構成の例は、列導体330-接地、行導体350-+80ボルト、およびアノード380-+4000ボルトを含む。

【0010】本発明の別の実施例では、バラスト層は、電界放出物質、即ち、バラスト範囲(ballasting range)内の抵抗率を有する電界放出物質である。この場合、バラスト層にバターニングを行い、内側の中央ウエル領域に向かい、列導体の金属部分上に配された対向エッジを有するバラストを形成する。その後、電界シェーバ層をバラスト上に形成する際、電界シェーバ層はバラストの対向エッジを覆う。次に、電界シェーバ層に選択エッティングを行い、列導体上に位置し、列導体の対向エッジに接続する、誘電体層が整合可能な滑らかな表面を形成する。電界シェーバ層にバターニングを行う工程の間、こうして放出物質を保護する。放出ウエルを形成するには、誘電体および電界シェーバ層を貫通する選択エッティングを行い、バラストの放出物質の一部を露出させるこ

とにより、表面エミッタを設ける。次に図16および図17を参照すると、本発明による、行一列間電流漏れの低減を図った電界放出素子を製造する方法によって作られた、電界放出素子800の画素の断面図(図16)、および図16の電界放出素子800のカソード876の画素の平面図(図17)が示されている。電界放出素子800は、図10ないし図15を参照して説明したように作られ、「8」で始まる同様の参照番号によって、素子を引用する。この特定実施例では、列導体830は、3つの中央ウエル部分832を含み、その上に3つの放  
出ウエル860を形成する。各ウエル内には、表面エミッタ870が配置されている。電界放出素子800の各画素は、図17に示すように、行導体850および列導体830間の各重複領域に、9個の放出ウエル860を含む。電界放出素子800は、 $32 \times 32$ の行および列導体アレイを含み、図16および図17に示したような1024個の画素を規定する。

【0011】次に図18を参照すると、電界放出素子800(図16および図17)のカソード876の1024画素が呈する行一列間電流漏れによる電流(マイクロアンペア)を表すグラフ700、710が示されている。漏れ電流の測定は、図3を参照して説明した方法を行った。グラフ700、710は、別個に製造した2つの同一構成を有するアレイから得た測定値から成る。これらの測定値は、図9に示したものよりも約1,000倍多い画素によって発生した漏れ電流を含むものである。グラフ700は全ての電圧に対して測定可能な漏れ電流を示しておらず、グラフ710は50ボルトの電位差において約7マイクロアンペア、即ち画素当たり約7ナノアンペアの漏れ電流を示す。このレベルの漏れ電流は容認可能である。本発明による方法を用いて製造した電界放出素子800では、図17に示し、図4ないし図8を参照して説明したように製造される画素構成を有する電界放出素子(図9)よりも、漏れ電流の大きさが約3桁小さい。

【0012】本発明による電界放出素子の製造方法には、表面エミッタの堆積に統いて、更に追加の処理工程を含むプロセスにおいて有用なものもある。この場合、追加の工程(群)では、本発明によらなければ、電界放出物質を攻撃し、誘電体層の整合が不可能なエッジを有する放出構造を形成してしまうような化学薬品が導入されてもよい。表面エミッタのエッジを覆うことにより、後続の処理の間これらは保護される。また、本方法は、表面エミッタの形成に続く処理ステップによる攻撃の恐れがある、他の電界放出膜組成を含んでもよい。更に、電界シェーバ層およびバラストの組成が類似しているため、所与のエッチャントによるこれらの層のエッチング速度がほぼ等しいことが保証され、滑らかで連続したエッジの放出構造が生成可能となる。また、誘電体層は放出構造のエッジに容易に整合させることができるので、

ポイド形成の防止が可能となる。

【0013】以上本発明の具体的な実施例について示しかつ説明してきたが、更に別の変更や改善も当業者には想起されよう。したがって、本発明はここに示した特定形態に限定される訳ではないと理解されることを望み、本発明の精神および範囲から逸脱しない全ての変更は、特許請求の範囲に含まれることを意図するものである。

#### 【図面の簡単な説明】

【図1】従来技術の電界放出素子の断面図。

【図2】電界放出素子の断面図。

【図3】図2の電界放出素子の部分拡大図。

【図4】図2および図3の電界放出素子の形成において実現される構造の断面図。

【図5】図2および図3の電界放出素子の形成において実現される構造の断面図。

【図6】図2および図3の電界放出素子の形成において実現される構造の断面図。

【図7】図2および図3の電界放出素子の形成において実現される構造の断面図。

【図8】図2および図3の電界放出素子の形成において実現される構造の断面図。

【図9】図2を参照して説明したように製造した電界放出素子によって示される行一列間電流漏れを表すグラフ。

【図10】本発明による、行一列間電流漏れを低減する電界放出素子の製造方法の一工程を実行することによって実現される構造の断面図。

【図11】本発明による、行一列間電流漏れを低減する電界放出素子の製造方法の一工程を実行することによって実現される構造の断面図。

【図12】本発明による、行一列間電流漏れを低減する電界放出素子の製造方法の一工程を実行することによって実現される構造の断面図。

【図13】本発明による、行一列間電流漏れを低減する電界放出素子の製造方法の一工程を実行することによって実現される構造の断面図。

【図14】本発明による、行一列間電流漏れを低減する電界放出素子の製造方法の一工程を実行することによって実現される構造の断面図。

【図15】本発明による、行一列間電流漏れを低減する電界放出素子の製造方法の一工程を実行することによって実現される構造の断面図。

【図16】本発明による、行一列間電流漏れを低減する電界放出素子の製造方法の種々の工程を実行することによって実現された電界放出素子の他の実施例における画素の断面図。

【図17】図16の電界放出素子のカソードの一部の平面図。

【図18】図16および図17の電界放出素子に種々の電位差を印加した場合に測定された行一列間電流漏れを

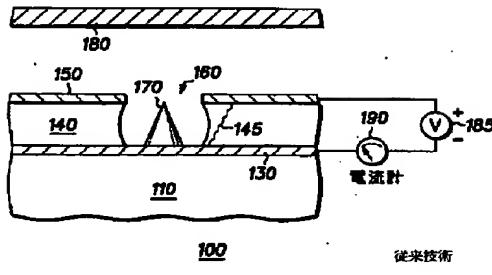
表すグラフ。

【符号の説明】

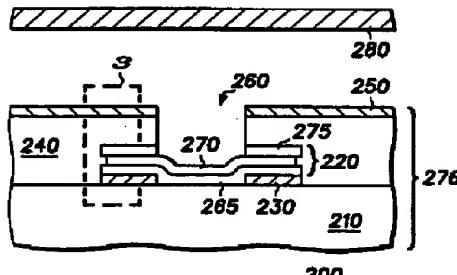
2 0 0	電界放出素子
2 1 0	は支持基板
2 2 0	放出構造
2 2 1	パターン層
2 3 0	列導体
2 4 0	誘電体層
2 4 5	クラック
2 5 0	行導体
2 5 4, 2 5 5, 2 5 6, 2 5 7, 2 5 8	構造
2 6 0	放出ウエル
2 6 4	バラスト層
2 6 5	バラスト
2 6 9	ダイアモンド状炭素層
2 7 0	表面エミッタ
2 7 4	電界シェーバ層
2 7 5	電界シェーバ
2 7 6	カソード
2 7 7	電界シェーバ層
2 8 0	アノード
2 9 5	ボイド
3 0 0	電界放出素子

3 1 0	支持基板
3 3 0	列導体
3 3 2	中央ウエル領域
3 4 1	誘電体層
3 5 1	導電層
3 5 4, 3 5 5, 3 5 6, 3 5 7, 3 5 8	構造
3 6 0	放出ウエル
3 6 4	バラスト層
3 6 8	パターン・ハードマスク
10 3 6 9	ダイアモンド状炭素層
3 7 0	表面エミッタ
3 7 1	表面
3 7 2	エッジ
3 7 4	電界シェーバ層
3 7 5	電界シェーバ
3 8 0	アノード
8 0 0	電界放出素子
8 3 0	列導体
8 3 2	中央ウエル部分
20 8 5 0	行導体
8 6 0	放出ウエル
8 7 0	表面エミッタ
8 7 6	カソード

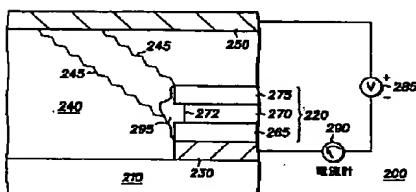
【図 1】



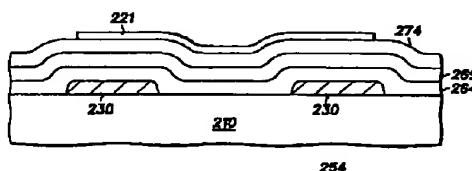
【図 2】



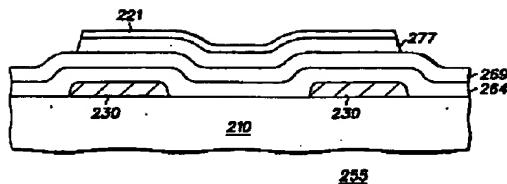
【図 3】



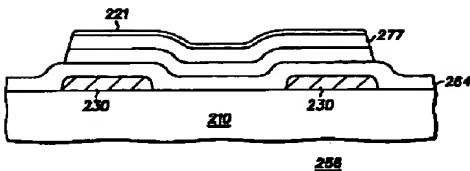
【図 4】



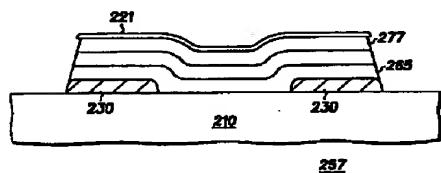
【図 5】



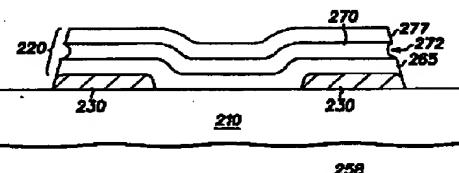
【図 6】



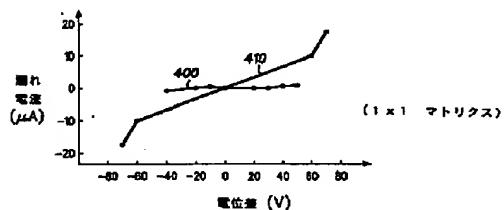
【図 7】



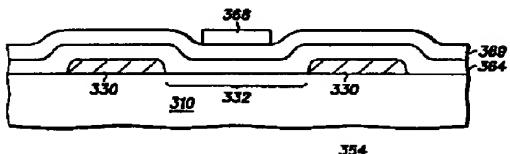
【図 8】



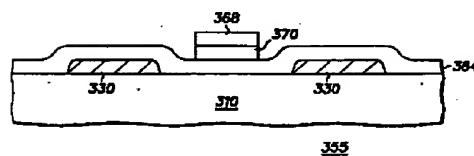
【図 9】



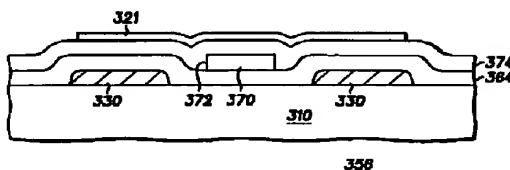
【図 10】



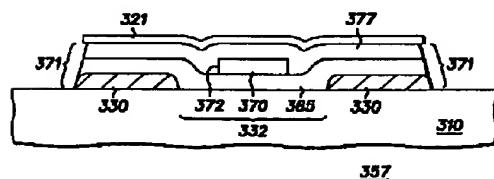
【図 11】



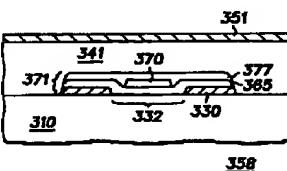
【図 12】



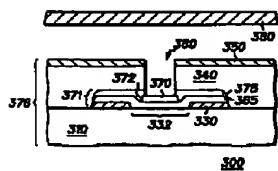
【図 13】



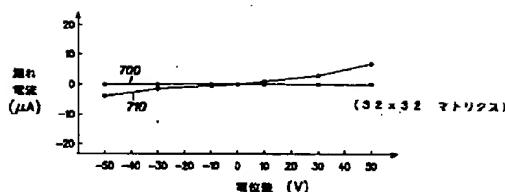
【図 14】



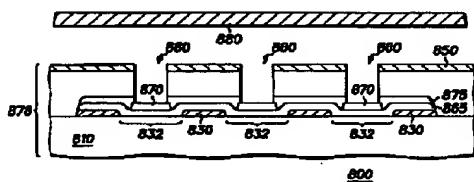
【図 15】



【図 18】



【図 16】



【図 17】

